

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87712

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶
H 0 1 L 29/78
21/324

識別記号

F I
H 0 1 L 29/78 3 0 1 F
21/324 Z

審査請求 未請求 請求項の数17 O L (全 9 頁)

(21) 出願番号 特願平10-192725

(22) 出願日 平成10年(1998) 7月8日

(31) 優先権主張番号 0 8 / 8 9 5 0 4 9

(32) 優先日 1997年7月16日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ウィリアム・エフ・クラーク

アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、ヒルサイド・サ
ークル 5

(74) 代理人 弁理士 坂口 博 (外1名)

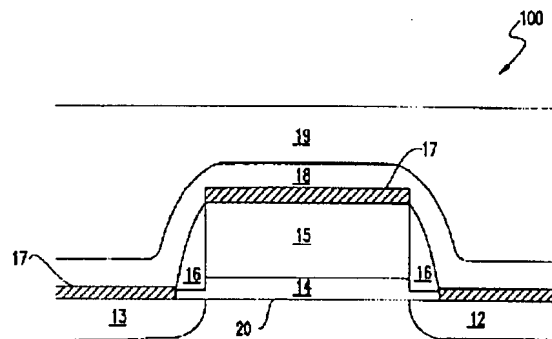
最終頁に続く

(54) 【発明の名称】 半導体処理で使用する重水素物質

(57) 【要約】

【課題】 重水素 (D) を半導体素子のシリコン／二酸化ケイ素間界面に導入する固有のアプローチを提供することである。

【解決手段】 半導体素子の膜を形成する本方法は、膜形成の間に重水素種を含む原料物質を提供する工程を含み、半導体製造において使用される膜形成反応物質の水素が、重水素 (D) により置換され、膜の形成の間に、重水素膜物質が原位置に生成される。



【特許請求の範囲】

【請求項 1】膜形成の間に、重水素種を含む原料物質を提供する工程を含む、半導体素子のための重水素膜を形成する方法。

【請求項 2】前記膜形成工程が付着である、請求項 1 記載の方法。

【請求項 3】前記付着工程が半導体処理のためのものである、請求項 2 記載の方法。

【請求項 4】前記付着工程が、半導体表面を不動態化するためのジウテリウムの貯蔵を提供する、請求項 3 記載の方法。

【請求項 5】前記付着工程が水素拡散に対する障壁を提供する、請求項 2 記載の方法。

【請求項 6】前記付着工程が重水素窒化ケイ素を付着する、請求項 2 記載の方法。

【請求項 7】前記膜が発熱性湿式酸化によりシリコン基板上に形成される二酸化ケイ素であり、前記重水素種が酸化ジウテリウムを含む、請求項 1 記載の方法。

【請求項 8】前記膜がゲート酸化物、ポリシリコン・ゲート、ゲート側壁スペーサ、窒化物障壁層、及び P S G 層を含むグループから選択される、請求項 1 記載の方法。

【請求項 9】前記重水素膜がシリコン基板上に形成される、請求項 1 記載の方法。

【請求項 10】ホット・エレクトロン効果に対する向上された耐性を有する MOS F E T 素子を形成する方法であって、

シリコン基板、該シリコン基板上の導電性ゲート、及び前記シリコン基板と前記ゲート間に設けられるゲート酸化物を含む中間半導体素子を提供するステップと、前記半導体素子をジウテリウムを含む環境内で、約 400 乃至 600℃の範囲の温度においてアニールするステップと、

アニールされた前記半導体素子上に、ジウテリウムを含む貯蔵／障壁窒化物膜を形成するステップと、を含む、方法。

【請求項 11】前記貯蔵／障壁窒化物膜を形成する工程が、S i D₄及び N D₃を含む環境内で、前記 F E T 素子上にプラズマ加速化学蒸着を実施する工程を含む、請求項 10 記載の方法。

【請求項 12】前記ジウテリウム貯蔵／障壁窒化物膜上に、水素及びジウテリウム拡散障壁窒化物層を形成する工程を含む、請求項 10 記載の方法。

【請求項 13】前記水素及びジウテリウム拡散障壁窒化物層がジェット蒸着により形成される、請求項 11 記載の方法。

【請求項 14】半導体素子を形成する方法であって、シリコン基板上の膜形成の間に、重水素種を含む原料物質を提供する工程と、前記提供する工程の後に、400℃以下の温度で実施さ

れる前記半導体素子を完成するのに十分な処理工程を実施する工程と、

を含む、方法。

【請求項 15】前記処理工程が少なくとも 1 つのアニーリング・プロセスを含む、請求項 14 記載の方法。

【請求項 16】前記処理工程が、ジウテリウムを含む環境内で実施される少なくとも 1 つのアニーリング・プロセスを含む、請求項 14 記載の方法。

【請求項 17】前記半導体素子が F E T 素子である、請求項 14 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に、半導体素子形成の分野に関し、特に、半導体素子処理における重水素物質の使用に関する。

【0002】

【従来の技術】V L S I 集積回路内で使用される金属酸化膜半導体 (M O S) トランジスタなどの電子素子は、それらが小型化 (縮尺) され得る度合いを制限する多数の摩擦機構に遭遇する。これらの機構の 1 つは、いわゆるホット (エネルギー的) ・エレクトロン効果である。

【0003】例えば、シリコン基板上に形成されたゲート酸化物などの熱的に酸化されたシリコンでは、素子作用によりシリコン基板内に生成される電子 (または正孔) がシリコンから逃れ、隣接するシリコン酸化物内に注入されて、トラップ (捕獲) されることが可能である。M O S F E T 素子のソース及びドレイン拡散の構造の使用条件及び詳細に依存して、より高いまたは低いエネルギーの、より多くのまたはより少ない電子がシリコン基板内に生成され、ゲート酸化物内に注入される。

【0004】V L S I 素子設計は、(垂直及び水平の両方向の) 電界が増加する傾向にあり、このことはホット・エレクトロン効果を悪化させる。とりわけホット・エレクトロン効果は、M O S F E T 素子の相互コンダクタンスの低下の他に、しきい値電圧のゆっくりとした長期間の変化を生じる。ホット・エレクトロン効果は更に、バイポーラ・トランジスタの低レベル電流利得の公知の劣化現象を生じ得、バイポーラ・トランジスタのエミッターベース間接合が、なだれ降伏に晒される。

【0005】ホット・エレクトロンが、如何にシリコン／シリコン酸化物間界面に損傷を来すかを説明する一般に容認された理論は、ホット・エレクトロンがシリコン表面上に存在する S i - H 結合の一部を破壊することにより、シリコン／シリコン酸化物間界面からの水素の脱離を刺激し、その結果、界面トラップ密度の増加及び素子性能の劣化が生じると説明する。水素は、水素環境内で低温度で実施されるウエハの金属被覆後アニールなどの半導体プロセスの結果として、素子内に導入された後、界面に存在することになり、このことはシリコン／シリコン酸化物間界面の結晶欠陥の不動態化により素子

機能を改善する。用語“不動態化 (passivation)”は、水素がシリコン/シリコン酸化物間界面において、ダングリング・ボンド (dangling bond) を満足することを意味する。しかしながら、アニーリング・プロセスなどの間に、シリコン/シリコン酸化物間界面に形成される Si-H 不動態化結合は、ホット・エレクトロン励起による解離を受け易い。

【0006】最近、ホット・エレクトロン効果は、シリコン/二酸化ケイ素間界面における界面トラップの不動態化に使用される水素をジュウテリウム (D) により置換することにより、軽減されることが判明した (J. W. Lydingらによる "Appl. Phys. Lett. 68 (18)", 29 April 1996, pp. 2526-2528 及び I. C. Kizilyalliらによる "IEEE Electron Device Letters", vol. 18, No. 3, March 1997, pp. 81-83 を参照)。水素元素は 3 つの公知の同位体、すなわち普通の水素またはプロチウム ^1H 、重水素またはジュウテリウム ^2H 、及びトリチウム ^3H を含む。Lyding ら及び Kizilyalli らは、ジュウテリウム同位体が例えば温度 400°C の重水素フォーミング・ガス (D_2/N_2) 内で実施される金属被覆後アニール・プロセスの間に、シリコン/二酸化ケイ素間界面に蓄積することを教示する。シリコン/二酸化ケイ素間界面に形成される結果のシリコン-ジュウテリウム (Si-D) 結合は、Si-H 結合よりもホット・エレクトロン励起による解離に強いことが判明した。

【0007】しかしながら、本研究者は不動態化のためにアニール・プロセスにより、シリコン/二酸化ケイ素間界面に取り込まれるジュウテリウムが、半導体素子の別の処理において受ける続く熱サイクルの結果、界面からドリフトして立ち去る傾向があることを確認した。このことは、例えば約 400°C の比較的適度な温度においてさえ当てはまる。特に本研究者は、2 次イオン質量分析 (SIMS) データから、シリコン/二酸化ケイ素間界面に取り込まれたジュウテリウムが、ウエハを意図的な目的として、または膜付着などの異なるプロセスの付随的效果として、効果的に“アニール”する類の続く処理の間に界面から移動して立ち去ることを確認した。従って、従来のジュウテリウム・アニールにより授けられるあらゆる潜在的な性能の向上は、事実上、本研究者が確認したことにもとづけば、極めて僅かなものであった。

本願の目的上、用語“アニール”及びその変形は、半導体ウエハを少なくとも 1 度の熱サイクルに晒すことを意味し、その間にウエハは加熱され、その後冷却される。

【0008】従って、従来技術においては、水素を含有する反応物質及び環境に関わる半導体処理に関して、シリコン/二酸化ケイ素間界面の分裂を生じる傾向があるという未解決の問題が残されている。

【0009】

【発明が解決しようとする課題】本発明の目的は、重水素 (D) を半導体素子のシリコン/二酸化ケイ素間界面

に導入する固有のアプローチを提供することである。

【0010】本発明の別の目的は、半導体素子内に 1 度形成された重水素物質の重水素状態を保護及び保存する技術を提供することにより、重水素物質が素子の任意の続く熱サイクルを許容し、その後も存在し続けることを可能にすることである。

【0011】本発明の特定の目的の 1 つは、金属被覆後アニール処理により授けられた、前の重水素シリコン/二酸化ケイ素間界面の重水素状態を保護及び保存する技術を提供することにより、重水素物質が素子の続く熱サイクルに耐え得るようにすることである。

【0012】更に本発明の別の目的は、FET 素子内のゲート酸化物の近くに配置される様々な半導体フィッチャ内に導入され得る水素内容を置換することにより、水素がこうした他の素子要素からシリコン/二酸化ケイ素間界面に移動し、そこでホット・エレクトロン効果による損傷を悪化させる機会を回避することである。

【0013】

【課題を解決するための手段】本発明の前述の及び他の目的が、本発明により達成される。

【0014】本発明の 1 実施例では、半導体製造において使用される膜形成反応物質の水素内容が、ジュウテリウム (D) により置換され、膜の形成の間に、重水素膜物質が原位置に生成される。1 態様では、ゲート酸化物が、ジュウテリウム・ベースの化学種を用いる発熱性湿式酸化の固有技術により形成される。更にゲート酸化物に加え、通常、水素ベースの反応物質により形成されるゲート、ゲート側壁スペーサ、及び窒化物障壁膜などの半導体素子の他の膜要素についても、水素に代わりジュウテリウムが使用される。結果的に、シリコン/二酸化ケイ素間界面を不動態化するジュウテリウムを置換するために使用可能な水素源が存在せず、続く処理の間に、不動態化ジュウテリウムが熱的にトラップ解除されるならば、ジュウテリウムを必要に際してシリコン/二酸化ケイ素間界面に供給するために使用可能なジュウテリウムの大量の貯蔵が、素子自身内で使用可能になる。

【0015】本発明の別の実施例では、半導体素子のための改善された金属被覆後アニール・プロセスが提供され、そこではシリコン/二酸化ケイ素間界面上でのジュウテリウム・アニールの有益な効果が、効果的に“封じ込められ (sealed in) ”、別の処理から保護される。この実施例では、ジュウテリウム・アニールが最初に実行されて、ジュウテリウムが、その時点までに従来処理により形成されたトランジスタ素子のシリコン/二酸化ケイ素間界面に取り込まれ、次に素子上に高濃度ジュウテリウム貯蔵層を形成することにより素子が封じ込められる。更に任意的な工程において、ジェット蒸着 (jet vapor) 法で付着される窒化物、または窒素及びシランから成る低水素窒化物などの拡散障壁膜が高濃度ジュウテリウム貯蔵層上に形成される。低水素密度を有する窒化

ジュウテリウム障壁層は、ジュウテリウムの有益な効果を封じ込める支援をし、水素内での別の熱アニール及び処理が、ジュウテリウムを水素と交換することなしに、半導体素子の最終工程（BEO L : back-end-of-line）処理において行われることを可能にする。

【0016】本発明の別の改善では、ジュウテリウム処理の後、低温処理すなわち400℃以下の処理が採用され、ジュウテリウムをシリコン／二酸化ケイ素間界面に保持する支援をする。このような熱的擾乱の回避は、水素によるジュウテリウムの置換の発生を低減する。

【0017】本発明は、ウエハの"アニーリング"・プロセスにおいて使用される物質のための、重水素源を提供することにより、アニールされた素子からのジュウテリウムの損失を低減することを保証し、また膜内の水素貯蔵が代わりにジュウテリウムにより占められるように保証することにより、半導体素子のための総合処理環境をより確固たるものにする。

【0018】水素を含有する反応物質及び環境に関わる従来の半導体処理は、シリコン／二酸化ケイ素間界面の分裂を生じる傾向があるのに対して、本発明は、代わり
20 にこうした界面を安定化する。すなわち、本発明に従い形成される重水素素子膜は、ホット・エレクトロン効果によるシリコン／二酸化ケイ素間界面における劣化に対してより強い耐性を提供する。このことは半導体素子の寿命に渡り、高い素子性能の改善された保存を提供し、半導体素子がホット・エレクトロン効果による損傷問題を経験すること無しに、高電流により高速に動作することを可能にする。すなわち、より大きな電流を本発明に従う重水素膜を含む素子を通じて流すことが可能、または
30 は同一の電流において、シリコン／二酸化ケイ素間界面の損傷が小さく維持される。またホット・エレクトロン効果により要求される保護周波数帯または余裕を低減することにより、製造コストが高速ソーティングにより、大幅に低減され得る。

【0019】

【発明の実施の形態】本発明の第1の実施例では、半導体素子の形成において、大量のジュウテリウムを有する膜が最初に形成される。それにより次の2つの効果、すなわち、1) 界面を既に不動態化しているジュウテリウムを置換する反応水素源が存在しない、及び2) ジュウ
40 テリウムの不動態化が、続く処理の間に熱的にトラップ解除される場合、ジュウテリウムの大量の貯蔵がジュウテリウムをシリコン／二酸化ケイ素間界面に供給するために使用可能であるが得られる。また、半導体素子内に多くの膜を形成する処理温度は、十分に高いので（すなわち400℃以上）、シリコン／二酸化ケイ素間界面を不動態化解除し、ジュウテリウム／水素交換機構を生成する。従って、物質付着の初期部分の間に処理環境内でD₂を使用することは、処理温度まで加熱する間に、ジュウテリウムを失う状態を不動態化する。

【0020】より詳細には、本発明の第1の実施例では、半導体形成において、膜形成反応物質及び種として使用され、水素内容及び処理背景に影響する水素含有物質が変更され、代わりに膜の形成の間にそれらの重水素類似体が使用される。こうしたクラスの物質には、例えば湿式酸化系で使用される酸化ジュウテリウム（D₂O）、または化学蒸着（CVD）プロセスにより膜を提供するために使用される重水素シラン（SiD₄）、ジクロロシラン（SiCl₂D₂）、及びアンモニア（ND₃）が含まれる。これらの重水素物質はゲート酸化
10 物、ポリシリコン・ゲート、ゲート側壁スペーサ、窒化物障壁及び酸化物不動態化膜などの要素の1回以上の付着において使用される。この実施例の支配的な原理は、ウエハを付着の副次的結果として"アニール"する水素含有環境を提供する、または続く処理の間にゲート酸化物内に押し込まれる水素の貯蔵を提供するかの、いずれかの膜プロセスの識別である。適用可能なプロセスは、任意の続いて形成される膜からゲート酸化物への水素拡散を阻止する、重水素不動態化窒化物の形成以前に発生するプロセスとして定義されるが、酸化物不動態化膜も本
20 発明により考慮され得、その場合、窒化物障壁層が重水素化されない。経済的または供給面の問題が本発明に従い重水素化され得るこれらの素子層の数を制限する。すなわち、ジュウテリウム及びジュウテリウム化合物は現在高価であったり、可用性が制限され得る。理想的には、水素によりまたは水素の存在の下で形成される層数が代わりに重水素化されて全体の効果を向上させるのであるが、この時点で、ゲート酸化物及び窒化ケイ素障壁層を重水素化することが、ホット・エレクトロン効果を
30 征服し、ジュウテリウム及び水素が素子内のそれらの元の取り込み位置から移動することを阻止するために最も重要と思われる。

【0021】図1に示されるMOSFET素子100を参照すると、シリコン基板11及びソース／ドレイン領域12及び13を有し、この実施例により解決され得る膜は、ゲート酸化物14、ゲート・ポリシリコン15、ゲート側壁スペーサ16、窒化ケイ素障壁層18、及び
40 付着される酸化物不動態層19（例えばSiO₂、PSG、BSG、BPSG）を含む。窒化ケイ素障壁層18を形成する以前に、自己整合型ケイ化物層17がゲート15及びソース／ドレイン領域12／13上に、従来の方法により形成される。シリコン基板は好適には、pタイプまたはnタイプの単結晶シリコン物質であり、究極の所望のタイプのFET動作に適切に井戸打込みが提供される。従来の様々な分離処理及び井戸打込みが、素子のために使用され得るが、これらの面については特に本発明の一部を形成しないので、図1乃至図3には簡略化のために示されていない。

【0022】本発明の重要な目的は、シリコン／二酸化ケイ素間界面20において、仮にホット・エレクトロン
50

効果による損傷を阻止できなくとも、それを多大に抑制することである。

【0023】水素化合反応物質を使用する従来のシリコン酸化系が、本発明において、例えば半導体基板上にゲート酸化物14を生成するために、ジウテリウムを取り込む二酸化ケイ素（シリカ）膜を形成するために有用である。水を使用する湿式酸化プロセス、及びシランを使用するCVD系が、本発明に従い、シリコン上に重水素二酸化ケイ素膜を提供するために適応され得る。

【0024】本発明のこの第1の実施例の1つの特定のアプリケーションとして、“湿式酸化”プロセスが、半導体基板上にゲート酸化物14を生成するために使用される。熱酸化物を形成するために、従来の湿式酸化プロセスにおいて使用される気体には、水、HCl、及びTCAなどが含まれる。本発明では、D₂O、DCI及び重水素TCAが、湿式酸化処理の間に使用されるそれぞれの水素類似体として代用される。

【0025】1つの好適な実施例では、ゲート酸化物を形成するために、発熱性の水系が湿式酸化プロセスにおいて使用される。この点に関して、酸素及びジウテリウムが他の従来の同時反応物質すなわち水素の代わりに、例えば石英または純シリコンなどの拡散チューブに直接供給される。ウエハは700℃乃至1000℃の温度に維持され、気体が反応して酸化ジウテリウム（D₂O）の蒸気、すなわち重水の蒸気を形成し、これが酸化プロセスの水の源となる。例えば、流量約6 s L m（毎分当たりの標準リットル）のO₂、及び流量約3.6 s L mのD₂が、0%乃至9%のDCI当量と共に、約30 Å乃至200 Åの厚さの酸化膜を形成するために十分な期間、使用され得る。

【0026】湿式酸化プロセスの間のシリコン上でのゲート酸化膜の成長の間、膜がシリコン基板上に形成されているとき、ジウテリウムがゲート酸化物内に蓄積する。ゲート酸化物形成の間のジウテリウムのこの原位置取り込みは、確固たる二酸化ケイ素、及びホット・エレクトロン効果に対する強い耐性を示すシリコン／二酸化ケイ素間界面を提供する。

【0027】ゲート酸化物または他の半導体層内での、ホット・エレクトロン効果による早計な素子故障を阻止するために必要とされるジウテリウム取り込みのレベルは、当業者により経験的に決定され得る。すなわち、理想的には、半導体素子形成の間に使用されるあらゆる水素化合反応種及び（または）系大気ガスとして、重水素類似体を使用することが最も好ましいが、経済的制限及び供給面での可用性の制限がこうした状況を容易にしない。従って、ここで述べられる独創的な目的を達成するために、十分な重水素反応物質を使用するように注意が払われる限り、ジウテリウム及び水素反応物質及び気体の混合も考慮される。また、ゲート酸化物だけではなく、MOSFET素子内で見い出されるゲート側壁ス

ペーサ膜、ポリシリコン・ゲート、窒化ケイ素障壁（存在する場合）、及び酸化物不動態化膜についても同様であり、これらも接触アニール、または550℃乃至600℃で実施されるライナ・アニールなどの最終工程アニールの間に、下側の酸化物内に放出され得る多大な水素部分を含み得る。従って、以下では、膜形成において使用される従来の水素含有反応物質及び（または）希釈剤の代わりに、ジウテリウム類似体を使用することにより、有利に形成され得る他の膜について説明する。

【0028】例えば、ゲート・ポリシリコン15は、CVD法により重水素状態において形成され、その際、従来の水素反応物質が重水素類似体により置換される。時に安全性の理由から、任意的にH₂により薄められるSiH₄の分解による、LP CVDによるポリシリコン膜の成長は公知である。しかしながら、本発明では、ゲート・ポリシリコン15がLP CVDにより、シラン（SiH₄）の代わりにSiD₄を使用することにより形成され、またD₂が多結晶シリコン（ポリシリコン）を形成するために使用されるH₂希釈剤キャリア・ガスの代わりに使用される。こうしたCVD処理を使用するポリシリコン・ゲートの成長は、約550℃乃至650℃の系温度、150 m T o r rの系圧力において、350 s c c mのSiD₄及び50 s c c mのD₂の種ガスを用いて実施され、成長は約1000 Å乃至4000 Åの膜厚を提供する。

【0029】ゲート15の側壁熱酸化物16は、HClの代わりにDCIを、または従来のTCAの代わりに重水素TCAを使用することにより形成され得る。例えば、側壁熱酸化物の成長は、650℃乃至900℃の系温度、流量15 s L mのO₂、重水素TCAを用いて20℃乃至30℃のソース温度にて、流量0.1 s c c m乃至1.2 s c c mのN₂キャリア・ガス内でCVDにより達成され、素子設計にもとづいて約60 Å乃至3000 Åの膜厚を提供する。或いは、AP CVD及びLP CVD系において、O₂またはN₂Oなどの酸化剤の存在の下でのシラン（SiH₄）の従来の酸化作用が、シランの代わりにSiD₄を使用するように変更され、重水素側壁シリカ膜を成長させる。また重水素側壁シリカはPECVDにより、SiD₄/Q₂、SiD₄/CO₂及びSiD₄/N₂O混合物の反応により成長され得る。また酸化物スペーサ16は、CVDまたはプラズマ加速CVDにより、重水素TEOSの分解により形成され得る。

【0030】重水素側壁窒化ケイ素スペーサ16は、CVDプロセスにおいて、アンモニアをND₃により、及びシランをSiD₄により置換することにより、形成され得る。窒化ケイ素はその化学量論形態において、Si₃N₄により与えられる組成を有するが、業界では、付着された窒化ケイ素膜内で化学量論からのかなりの逸脱がしばしば経験されることが認識されており、この理由から、これらは時に単に“SiN”膜と呼ばれる。

【0031】ソース／ドレイン領域12／13は、従来のイオン打込み法により形成される。従来技術に従い、上述の工程で形成された酸化物（または窒化物）スペーサ層16が、ソース及びドレイン領域12／13の位置において、非等方的に除去され、酸化物（または窒化物）側壁16が、ポリシリコン・ゲート15上に取り残される。次に、自己整合型ケイ化物層17が従来技術により、ポリシリコン・ゲート15及びソース／ドレイン領域12／13上に形成される。原位置表面清浄に続き、金属が付着され、ケイ化物が高速熱アニール（RTA）などのアニーリングにより形成される。RTAの間、使用される水素がジュウテリウムにより置換されることが好ましい。アニーリングの後、不反応の金属が選択エッチングにより除去され、自己整合型ケイ化物17がソース／ドレイン領域12／13及びゲート15上に取り残される。自己整合型ケイ化物17のタイプは、必ずしも制限されず、PtSi、Pd₂Si、CoSi₂などの従来のケイ化物物質である。当業者であれば、電界効果トランジスタ内に自己整合型ケイ化物を形成するために使用されるこうした工程に精通しているであろうから、ここではこれらについての詳細な説明は省略する。

【0032】この第1の実施例では、窒化ケイ素障壁層18が任意的に重水素化され得る。例えば窒化物障壁層18はCVDにより、アンモニアをND₃及びシランをSiD₄で置換することにより形成される。重水素窒化物障壁は、上側の層から素子10内への水素の続く拡散を阻止する。窒化物障壁層18の成長は、約350℃乃至500℃の系温度、5 Torrの系圧力において流量15 sccmのND₃、流量60 sccmのSiD₄、及び流量4000 sccmのN₂を用いて実施され、約700 Å乃至1000 Åの範囲の膜厚を提供する。

【0033】次に、酸化物不動態化膜19が素子上に形成される。酸化物不動態化膜19は、添加されたまたは不添加のシリコン酸化物である。例えば、酸化物不動態化膜19は重水素TEOSの分解により形成され、重水素二酸化ケイ素を形成する。或いは、酸化物不動態化膜19は、ホスフィン、ジボランまたはアルシン添加物（すなわち、P、BまたはAs水素化物）の存在の下で、重水素TEOSの分解により形成され、例えば重水素PSG、BPSG、またはAsSGを形成する。重水素酸化物不動態層19の提供は、特に窒化ケイ素障壁層を有さない技術において有用である。

【0034】酸化物不動態層19は、ポリシリコン・ゲート15と標準的な最上部の金属被覆（図示せず）との間に絶縁層を形成する。シリコン酸化物不動態化膜19の成長は、約300乃至500℃の系温度にて、重水素TEOSのアンブルを通じる流量560 sccmのヘリウムを用いて実施され、系圧力5乃至20 Torrにて、TEOS蒸気が流量800 sccmのO₂と結合され、約1 μmの膜厚を提供する。

【0035】酸化物不動態化膜19はまた、ホスフィン、ジボラン、またはアルシンを添加物として、上述の同一の基本反応系内に含むことにより、重水素PSG、BPSG、またはAsSGとして付着され得る。優れたリフロー特性が必要とされる場合には、様々な種類の添加物を含む酸化物不動態化膜19が好ましい。しかし、そうでない場合には、ホスフィン、ジボラン、またはアルシン添加物自身が重水素化され（すなわち分子内で、水素原子がジュウテリウムにより置換される）、結果の形成物を洗練する。

【0036】酸化物不動態化膜19はまた、SiD₄及びPH₃（ホスフィン）とO₂との同時酸化によっても形成され得る。重水素BPSG膜はまたCVD法により、SiD₄、B₂H₆またはB₂D₆及びPH₃またはPD₃をO₂及びN₂Oと一緒に、窒素キャリア・ガス内で同時酸化することにより成長され得る。

【0037】本発明において使用される処理は、非重水素反応物質が使用される場合に、環境内に存在する豊富な量の水素の生成を回避する。こうした水素はゲート酸化物内に拡散し、早期のアニールにおいてそこに残されたジュウテリウムの一部または全部を置換する傾向がある。

【0038】本発明の第2の実施例では、ゲート酸化物などの膜の形成の間に、それらを原位置において重水素化する方法が提供される。代わりに、重水素化がアニール後処理により実施され、次に素子がジュウテリウム貯蔵または障壁層により封止される。この方法は、重水素物質が元来水素化合物よりも高価なため、製造コストを大幅に低減し得、この実施例は、重水素化学種の使用を要求するプロセス工程の数を効果的に低減する。本発明の第2の実施例は、以下で述べる2つの異なる変形を有する。

【0039】図2に示される第1の変形では、基本概念は各それぞれの膜に関し、標準的な水素化合反応物質を用いて形成される膜を有する素子構造200で開始する。すなわち、ゲート酸化物24、ゲート25及びゲート側壁スペーサ26が、従来の技術によりシリコン基板21上に形成される。ソース／ドレイン領域22、23は、従来のイオン打込み法により形成される。自己整合型ケイ化物27が次にゲート25上、及びソース／ドレイン領域22／23に形成される。

【0040】次に、ジュウテリウム環境アニールが実施され、前に形成されたゲート酸化物24、ゲート25及びゲート側壁スペーサ26などを重水素化する。このジュウテリウム・アニールは、D₂環境以外は従来のアニール・ファーンズ機構内で、400℃乃至600℃で実施される。ジュウテリウム・アニールはダングリング・ボンドを満足するために、またシリコン／二酸化ケイ素間界面20や、ゲート酸化物層24、ポリシリコン25、及びゲート側壁スペーサ26などの近傍の素子膜内

において、できるだけたくさんの水素を置換（交換）するために使用される。ウエハのこのアニールは、通常、F E O L プロセス全体の終りに但し、ジュウテリウム貯蔵／障壁層 28 がゲート 25 上に付着される以前に実施される。続く処理工程において、重水素窒化物障壁層 28 が素子上に成長される。

【0041】これを達成するために、単一の重水素障壁／貯蔵層 28 が、上述の第 1 の実施例の重水素窒化物障壁層 18 の場合同様に形成される。層 28 は、前にジュウテリウム・アニールにより重水素化された層上に、高濃度ジュウテリウムの貯蔵を形成する。

【0042】第 2 の実施例の第 2 の変形では、図 3 に示されるように、ジュウテリウム貯蔵層 38 a が、高濃度ジュウテリウムを有する上述の重水素窒化物障壁層 18 / 28 同様に形成され、低濃度の水素及びジュウテリウムを有し、水素／ジュウテリウムの移動を阻止する上側の別の拡散障壁層 38 b と一緒に使用される。図 3 では、更にシリコン基板 31、ソース／ドレイン領域 32 / 33、ゲート酸化物 34、ゲート・ポリシリコン 35、ゲート側壁スペーサ 36 及びケイ化物 37 が示される。本発明のこの第 2 の実施例では、ゲート酸化物 34、ゲート・ポリシリコン 35、及びゲート側壁スペーサ 36 が、重水素反応物質を用いること無しに、従来の方法により付着される。

【0043】拡散障壁層 38 b は、X. W. Wang らによる Japanese Society of Applied Physics, "Highly Reliable Silicon Nitride Films Made by Jet Vapor Deposition" (Extended Abstracts of the 1994 Inter. Conf. on Solid State Devices and Materials, August 23 -26, 1994, Pacifico Yokohama, Japan, pp. 856-858 の再版) で述べられる方法論などにより、ジェット蒸着法 (JVD) により付着される窒化物として形成される。或いは拡散障壁層 38 b は、アンモニア及びシランの代わりに窒素及びシランから成る低水素内容の窒化物として形成され得る。

【0044】ジュウテリウム貯蔵膜 38 a 及び拡散障壁層 38 b の組み合わせは、素子内に存在する残りの水素が取り込まれたジュウテリウムの有益な効果を有し、効果的に封じ込め、水素内での別の熱アニール及び処理が、素子 300 の最終工程処理において、ジュウテリウムを水素により交換すること無く発生することを可能にする効果を弱める。次に、不動態化酸化物 39 が、重水素障壁膜 38 a 及び拡散障壁膜 39 b の上に付着される。これは重水素化される必要はない。

【0045】本研究者は、SIMS により従来の窒化物障壁層の形成プロセスが、使用される SiH_4 及び NH_3 反応物質のせいで、水素の源であることを確信した。問題は、窒化物プロセスの間に SiH_4 及び NH_3 を介して導入される水素が、前の金属被覆後アニール・プロセスの間に、シリコン／二酸化ケイ素間界面に蓄積するジュ

ウテリウムを水素により置換することである。それ故、本実施例は、不動態化のために、金属被覆後ジュウテリウム・アニールを達成するだけでなく、重水素反応物質を用いることにより重水素窒化物障壁を形成し、そのアニールの利点を保存する。

【0046】上述の第 1 または第 2 の実施例のいずれかに適用可能な本発明の更に別の改善では、シリコン／二酸化ケイ素間界面に、ジュウテリウムを保持する支援をするあらゆる全てのジュウテリウム取り込み工程の後に、低温処理、すなわち 400°C 以下の処理が採用される。このような素子内の熱的擾乱の回避は、ジュウテリウム置換の原因となる水素の発生を低減する。例えば、本発明の第 2 の実施例に適用される場合、伴う拡散障壁層無しに使用されるジュウテリウム貯蔵窒化物層 28 の付着後、またはジュウテリウム貯蔵窒化物層 38 a 及び拡散障壁層 38 b の両方の付着後に実施されるアニールが 400°C 以下の温度で実施される。 400°C 以下の温度で実施されるこうしたアニールは、金属被覆後アニールである。また、図 3 の層 39 などの酸化物不動態層上で一般に実施される従来の高濃度化アニールが、この改善では全体的に省略される。なぜなら、それらは従来、 400°C を越える温度で実施されねばならないからである。

【0047】本発明は特に上述の例に限られるものではなく、特定の技術におけるプロセス統合の詳細に依存して、その原理を用いる多くの場合を網羅する。本発明は、特に、別々のジュウテリウム・アニールの効果を保存するために、或いは水素貯蔵の代わりにジュウテリウム貯蔵を生成し、続く熱サイクルの後に、この効果を提供するために、重水素物質が使用される任意の状況において実施され得る。

【0048】本発明はまた、TFE、ポリレジスタ及びポリエミッタ・パイポーラに対しても考慮される。最初の 2 つのケースでは、ジュウテリウムは粒界を不動態化し、ホット・エレクトロン応力に対するより大きな耐性を提供する役割をする。後のケースでは、ジュウテリウムがポリシリコンを通過し、パイポーラ接合内にドリフトして、そこでホウ素を不活性化する傾向は水素よりも低い。また、逆バイアス電流によるエミッターベース間接合に渡る酸化物の劣化が抑制される。

【0049】本発明はその好適な実施例に関して述べられてきたが、当業者であれば、本発明がその趣旨及び範囲内において変更を伴い実現され得ることが理解されよう。

【0050】まとめとして、本発明の構成に関して以下の事項を開示する。

【0051】(1) 膜形成の間に、重水素種を含む原料物質を提供する工程を含む、半導体素子のための重水素膜を形成する方法。

(2) 前記膜形成工程が付着である、前記 (1) 記載の

方法。

(3) 前記付着工程が半導体処理のためのものである、前記(2)記載の方法。

(4) 前記付着工程が、半導体表面を不動態化するためのジウテリウム貯蔵を提供する、前記(3)記載の方法。

(5) 前記付着工程が水素拡散に対する障壁を提供する、前記(2)記載の方法。

(6) 前記付着工程が重水素酸化ケイ素を付着する、前記(2)記載の方法。

(7) 前記膜が発熱性湿式酸化によりシリコン基板上に形成される二酸化ケイ素であり、前記重水素種が酸化ジウテリウムを含む、前記(1)記載の方法。

(8) 前記膜がゲート酸化物、ポリシリコン・ゲート、ゲート側壁スペーサ、窒化物障壁層、及びPSG層を含むグループから選択される、前記(1)記載の方法。

(9) 前記重水素膜がシリコン基板上に形成される、前記(1)記載の方法。

(10) ホット・エレクトロン効果に対する向上された耐性を有するMOSFET素子を形成する方法であって、シリコン基板、該シリコン基板上の導電性ゲート、及び前記シリコン基板と前記ゲート間に設けられるゲート酸化物を含む中間半導体素子を提供するステップと、前記半導体素子をジウテリウムを含む環境内で、約400乃至600℃の範囲の温度においてアニールするステップと、アニールされた前記半導体素子上に、ジウテリウムを含む貯蔵／障壁窒化物膜を形成するステップと、を含む、方法。

(11) 前記貯蔵／障壁窒化物膜を形成する工程が、SiD₄及びND₃を含む環境内で、前記FET素子上にプラズマ加速化学蒸着を実施する工程を含む、前記(10)記載の方法。

(12) 前記ジウテリウム貯蔵／障壁窒化物膜上に、水素及びジウテリウム拡散障壁窒化物層を形成する工程を含む、前記(10)記載の方法。

(13) 前記水素及びジウテリウム拡散障壁窒化物層

がジェット蒸着により形成される、前記(11)記載の方法。

(14) 半導体素子を形成する方法であって、シリコン基板上の膜形成の間に、重水素種を含む原料物質を提供する工程と、前記提供する工程の後に、400℃以下の温度で実施される前記半導体素子を完成するのに十分な処理工程を実施する工程と、を含む、方法。

(15) 前記処理工程が少なくとも1つのアニーリング・プロセスを含む、前記(14)記載の方法。

(16) 前記処理工程が、ジウテリウムを含む環境内で実施される少なくとも1つのアニーリング・プロセスを含む、前記(14)記載の方法。

(17) 前記半導体素子がFET素子である、前記(14)記載の方法。

【図面の簡単な説明】

【図1】本発明に従い取り込まれる様々な重水素膜を有するMOSFET素子の断面図である。

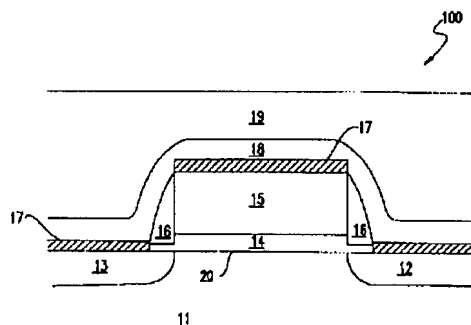
【図2】本発明の別の実施例に従い取り込まれる様々な重水素膜を有するMOSFET素子の断面図である。

【図3】更に本発明の別の実施例に従い取り込まれる様々な重水素膜を有するMOSFET素子の断面図である。

【符号の説明】

- 11、21、31 シリコン基板
- 12、22、32 ソース領域
- 13、23、33 ドレイン領域
- 14、24、34 ゲート酸化物
- 15、25、35 ゲート・ポリシリコン
- 16、26、36 ゲート側壁スペーサ
- 17、27、37 自己整合型ケイ化物層
- 18 窒化物障壁層
- 19、29、39 酸化物不動態層
- 28 重水素窒化物障壁層
- 20 シリコン／二酸化ケイ素間界面
- 38a ジウテリウム貯蔵膜
- 38b 拡散障壁膜

【図1】



【図2】

